

⑫ 公開特許公報(A)

昭64-39853

⑤ Int. Cl.⁴H 04 L 13/08
13/00

識別記号

3 0 7

庁内整理番号

7240-5K
C-7240-5K

⑬ 公開 昭和64年(1989)2月10日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 データ伝送装置

⑮ 特 願 昭62-194542

⑯ 出 願 昭62(1987)8月5日

⑰ 発 明 者 加 集 文 敏 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内

⑱ 発 明 者 谷 本 雅 願 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内

⑲ 出 願 人 住友電気工業株式会社 大阪府大阪市東区北浜5丁目15番地

⑳ 代 理 人 弁理士 光石 英俊

明 細 書

1. 発明の名称

データ伝送装置

2. 特許請求の範囲

伝送路で接続され確認応答方式によりデータの伝送を行なう送信側装置と受信側装置とに夫々対応してこれら両装置と伝送路間に介在せしめられ、しかも受信側には伝送されてきたデータを一時記憶しておくバッファメモリを有するデータ伝送装置において、バッファメモリに記憶されたデータの量が予め設定した閾値を越えたことを送信側に伝える検知手段と、この検知手段からの信号を受けてバッファメモリにおけるデータの量が閾値に達する迄の時間を計測する計測手段と、送信側と受信側との間を伝送路を介してデータが伝送される時間を計測する計測手段と、両計測手段で計測した時間に基づき受信側のデータ処理速度を演算しこの演算結果に基づき送信側のデータ取込み速度を制御する演算手段とを有することを特徴とするデータ伝

送装置。

3. 発明の詳細な説明

<産業上の利用分野>

本発明はデータ伝送装置に関し、受信側に伝送されてきたデータを一時記憶しておくバッファメモリを有するものと及びかかるデータ伝送装置を有し送信側と受信側とで確認応答方式によりデータの伝送を行なうデータ通信システムに適用して有用なものである。

<従来の技術>

伝送されてきたデータを一時記憶しておくバッファメモリを受信側に備えたデータ伝送装置を有するデータ通信システムを第3図に示す。同図に示すように、例えばCAD(Computer Aided Design)システムにおける送信側装置であるCPU1と受信側装置である端末装置(図面出力装置)2間では伝送路3を介して確認応答方式によりデータの送受が行なわれている。データ伝送装置4, 5はCPU1及び端末装置2に夫々対応するインターフェースで

ありCPU1及び端末装置2と伝送路3間に夫々介在せしめられている。このうち受信側のデータ伝送装置5は伝送されてきたデータを一時記憶しておくバッファメモリ6を有している

かかるデータ通信システムでは、送信側から伝送されてきたデータをバッファメモリ6に一旦記憶せしめ、バッファメモリ6内のデータ量が設定された閾値を超過すると送信側のデータ伝送装置4にこのことを知らせてこのデータ伝送装置4に対するCPU1からのそれ以上のデータの取込みを中止させる。その後バッファメモリ6内のデータの跳出しが進んでバッファメモリ6内の残データ量が閾値以下となるとデータ伝送装置4にデータの伝送を再開させる。

即ち、従来技術に係るデータ通信システムでは、受信側のデータ伝送装置5内のバッファメモリ6内のデータ量が閾値を超過したか否かにより送信側のデータ伝送装置4がデー

タデータを一時記憶しておくバッファメモリを有するデータ伝送装置において、バッファメモリに記憶されたデータの量が予め設定した閾値を越えたことを送信側に伝える検知手段と、この検知手段からの信号を受けてバッファメモリにおけるデータの量が閾値に達する迄の時間を計測する計測手段と、送信側と受信側との間を伝送路を介してデータが伝送される時間を計測する計測手段と、両計測手段で計測した時間に基づき受信側のデータ処理速度を演算しこの演算結果に基づき送信側のデータ取込み速度を制御する演算手段とを有することを特徴とする。

<作 用>

上記構成の本発明によれば、送信側のデータ伝送装置で伝送時間とデータ伝送を開始してからバッファメモリに蓄積されるデータ量が閾値を超過する迄の時間とを求め、両時間に基づき受信側でのデータ処理速度を演算し、閾値超過信号を受信した後は受信側でのデー

タの伝送をON、OFFする制御方式を採っていた。

<発明が解決しようとする問題点>

上記従来技術において、送信側のデータ伝送装置4がデータの授受を中止している時間は、往復の信号伝送時間と閾値を超過したデータが閾値以下になる迄の時間の和となり、この時間がCPU1のタイムアウトになり支障となる場合がある。

本発明は、上記従来技術に鑑み、送信側装置と送信側のデータ伝送装置との間のデータの授受の停止によるタイムアウトを防止し得るデータ伝送装置を提供することを目的とする。

<問題点を解決するための手段>

上記目的を達成するための本発明の構成は、伝送路で接続され確応応答方式によりデータの伝送を行なう送信側装置と受信側装置とに夫々対応してこれら両装置と伝送路間に介在せしめられ、しかも受信側には伝送されてき

ク処理速度以下でデータを伝送する。

<実 施 例>

以下本発明の実施例を図面に基づき詳細に説明する。

第1図は本発明の実施例を示すブロック線図である。同図に示すように、送信側のデータ伝送装置7は、データ取込制御部9を介してCPU1から取込んだデータをデータ送出部10を介して伝送路3に供給するものである。受信側のデータ伝送装置8は伝送路3から供給されバッファメモリ6に一旦蓄積したデータをデータ取出制御部11を介して端末装置2に供給するものである。

本実施例におけるデータ伝送装置7は、更に基準信号発生部12、往復時間計測部13、データ蓄積時間計測部14及びデータ取込速度演算部15を有するとともに、データ伝送装置8は基準信号折返し部16及びデータ残量検知部17を有している。

基準信号発生部12、基準信号折返し部16

及び往復時間計測部 13 は、データ伝送装置 7, 8 間をデータが伝送されるのに要する時間を計測するために使用する。即ち、送信側の基準信号発生部 12 にて発生するパルスである基準信号と、往路の伝送路 3 を介して受信側の基準信号折返し部 16 で折返され復路の伝送路 3 を介して送信側の往復時間計測部 13 に至った基準信号とを往復時間計測部 13 で比較することにより基準信号が伝送路 3 を介して往復するのに要する時間を計測する。この往復時間を R とする。

データ蓄積時間計測部 14 はデータがバッファメモリ 6 に蓄積される時間を計測するものである。即ち、先ずデータ送出部 10 を介して当該システムが許容する最大速度でデータを送出しバッファメモリ 6 に蓄積する。このとき前記最大速度がバッファメモリ 6 から端末装置 2 への脱出し速度以上であれば、バッファメモリ 6 には徐々にデータが蓄積される。バッファメモリ 6 内のデータの残留蓄積

量が閾値 S_1 以上となったとき、このことをデータ残量検出部 17 が検出しデータ蓄積時間計測部 14 に伝える。このことにより送信側のデータ伝送装置 7 がデータ伝送を開始した時点からバッファメモリ 6 内のデータ残量が閾値 S_1 以上になったことを表わす信号を受信した時点迄の時間が計測される。この時間を T_1 とする。

データ取込速度演算部 15 は、前記時間 RT_1 に基づきバッファメモリ 6 へのデータの書込み速度 r_1 とバッファメモリ 6 からのデータの脱出し速度 r_2 との差 D を求める。即ち D は次式で与えられる。

$$D = r_1 - r_2 = S_1 / (T_1 - R) \quad \cdots (1)$$

$$\therefore r_2 = r_1 - S_1 / (T_1 - R) \quad \cdots (2)$$

データ取込制御部 9 は、バッファメモリ 6 のデータ残量が閾値 S_1 以上になった後にはデータ取込速度演算部 15 の演算結果に基づき (2) 式で求まる脱出し速度 r_2 以下の取込み速度 r_{s1} で CPU 1 からデータが取込まれるよう

制御する。

かかる実施例においては、先ずシステムが許容する最大速度で送信側から受信側へデータを伝送し、バッファメモリ 6 のデータ残量が閾値 S_1 以上になった時点でバッファメモリ 6 におけるデータの脱出し速度 r_2 を求め、その後は取込み速度 r_{s1} ($< r_2$) でデータを取込み伝送する。したがって時間が経過すればバッファメモリ 6 のデータ残量が閾値 S_1 以下となるが、この時点で再度元の書込み速度 r_1 でデータを伝送し、以下同様の動作を繰返す。

なお、このとき S_2 ($> S_1$) という第 2 の閾値を用いれば、データ残量が閾値 S_2 以上になると停止も含めた取込み速度 r_{s2} ($< r_{s1}$) とすることにより、脱出し速度 r_2 が一定でないようなシステムに対しても使用可能となる。

第 2 図は前記実施例を双方向伝送に適用した場合の一方のデータ伝送装置を示すブロック図である。同図中において第 1 図と同一部分には同一番号を付し重複する説明は省略す

る。

< 発明の効果 >

以上実施例とともに具体的に説明したように本発明によれば、受信側のデータ伝送装置のバッファメモリにおけるデータ残量が閾値以上になったときは、送信側のデータ伝送装置から受信側のデータ伝送装置のバッファメモリに伝送するデータ速度をバッファメモリからの脱出し速度より遅めに制御するので、徐々にバッファメモリ内のデータを減ずることが出来、送信側と受信側との間でのデータの授受の停止によるタイムアウトを防止できる。この結果、コンピュータの入出力チャンネルインターフェースで距離による伝送速度の低下なくインターフェース間距離を延長する装置に利用すると効果的である。

4. 図面の簡単な説明

第 1 図は本発明の実施例を示すブロック線図、第 2 図は双方向通信に適用した本発明の第 2 の実施例を示すブロック線図、第 3 図は従来技術

を示すブロック線図である。

図面中、

- 1 は CPU、
- 2 は 端末装置、
- 6 は バッファメモリ、
- 7, 8 は データ伝送装置、
- 13 は 往復時間計測部、
- 14 は データ蓄積時間計測部、
- 15 は データ取込速度換算部である。

特 許 出 願 人

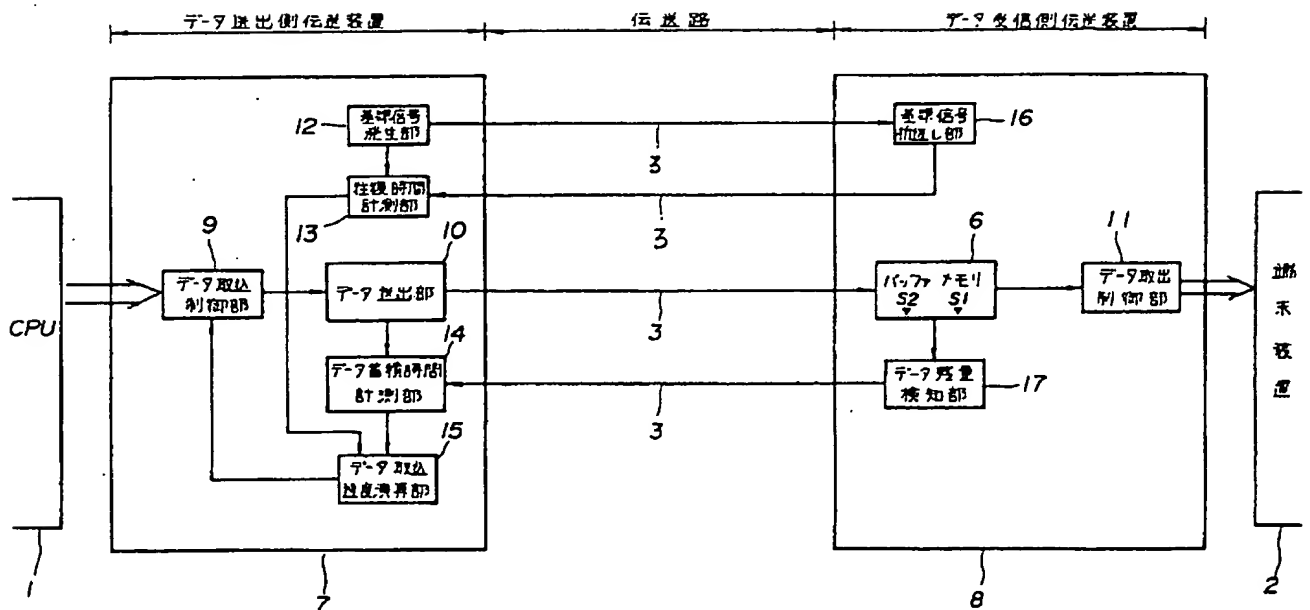
住友電気工業株式会社

代 理 人

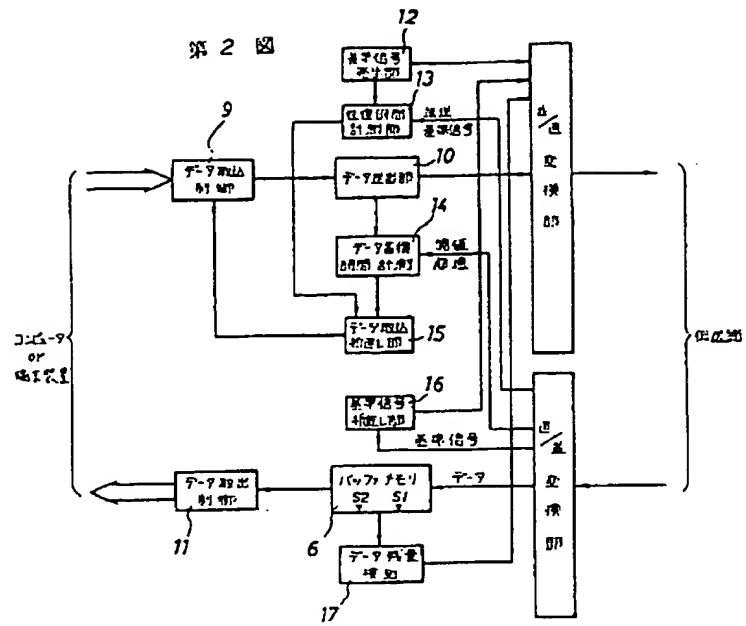
弁理士 光 石 士 郎

(他 1 名)

第 1 図



第 2 题



第 3 圖

